

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-206818

(43)公開日 平成5年(1993)8月13日

(51)Int.Cl.<sup>5</sup>

H 0 3 K 17/693

識別記号

庁内整理番号

A 8221-5 J

F I

技術表示箇所

審査請求 未請求 請求項の数1(全 7 頁)

(21)出願番号 特願平4-13171

(22)出願日 平成4年(1992)1月28日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 伊山 義忠

鎌倉市大船五丁目1番1号 三菱電機株式  
会社電子システム研究所内

(72)発明者 下沢 充弘

鎌倉市大船五丁目1番1号 三菱電機株式  
会社電子システム研究所内

(72)発明者 伊東 健治

鎌倉市大船五丁目1番1号 三菱電機株式  
会社電子システム研究所内

(74)代理人 弁理士 高田 守

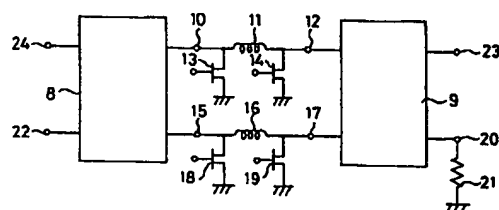
最終頁に続く

(54)【発明の名称】 半導体スイッチ

(57)【要約】

【目的】 低損失かつ高耐電力の半導体スイッチを得る。

【構成】 第一のハイブリッド回路と、上記第一のハイブリッド回路の一方の一对の入出力端子のそれぞれに入力端が接続され、ゲート電極以外の一電極を接地した電界効果トランジスタとインダクタから成り、上記電界効果トランジスタのゲート電極にバイアス電圧を印加するバイアス手段を備え、上記電界効果トランジスタのドレイン・ソース電極間を低インピーダンスとするバイアス状態で上記一对の入出力端子をそれぞれ接地状態とし、上記電界効果トランジスタのドレイン・ソース電極間を高インピーダンスとするバイアス状態で使用周波数を通過させるフィルタを形成するよう構成した第一の回路および第二の回路と、一方の一对の入出力端子がそれぞれ上記第一の回路の出力端と第二の回路の出力端に接続された第二のハイブリッド回路とを備えた。



8 第一のハイブリッド回路

9 第二のハイブリッド回路

10 第一のハイブリッド回路の第一の入出力端子

11 第三のインダクタ

12 第二のハイブリッド回路の第一の入出力端子

13 第三の電界効果トランジスタ

14 第四の電界効果トランジスタ

15 第一のハイブリッド回路の第二の入出力端子

16 第四のインダクタ

17 第二のハイブリッド回路の第二の入出力端子

18 第五の電界効果トランジスタ

19 第六の電界効果トランジスタ

20 第二のハイブリッド回路の第三の入出力端子

21 接地電位

22 第一のハイブリッド回路の第三の入出力端子

23 第二のハイブリッド回路の第四の入出力端子

24 第一のハイブリッド回路の第四の入出力端子

## 【特許請求の範囲】

【請求項1】 第一のハイブリッド回路と、上記第一のハイブリッド回路の一方の一对の入出力端子のそれぞれに入力端が接続され、ゲート電極以外の一電極を接地した電界効果トランジスタとインダクタから成り、上記電界効果トランジスタのゲート電極にバイアス電圧を印加するバイアス手段を備え、上記電界効果トランジスタのドレイン・ソース電極間を低インピーダンスとするバイアス状態で上記一对の入出力端子をそれぞれ接地状態とし、上記電界効果トランジスタのドレイン・ソース電極間を高インピーダンスとするバイアス状態で使用周波数

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は、電気信号の経路を切り換える半導体スイッチに関するものである。

## 【0002】

【従来の技術】 図7は、たとえばW. V. MCLEVI GE et. al, "Resonated GaAs FET Devices for Microwave Switching" IEEE ED, vol. ED-28, NO. 2, Feb. 1981 PP. 198-204に示された、マイクロ波帯で使用される従来の半導体スイッチの構成の一例を示す等価回路図である。図において、第一の入出力端子1には、第一の電界効果トランジスタ2のドレインと第二の電界効果トランジスタ3のドレインとがそれぞれ接続されている。第一の電界効果トランジスタ2のソースには第二の入出力端子4が接続されており、また、第二の電界効果トランジスタ3のソースには第三の入出力端子5が接続されている。さらに、第一の電界効果トランジスタ2のドレインとソースとは、第一のインダクタ6で接続され、第二の電界効果トランジスタ3のドレインとソースとは、第二のインダクタ7で接続されている。第一の電界効果トランジスタ2のゲート、および、第二の電界効果トランジスタ3のゲートには外部よりバイアスが印加されるが、こ

こでは、簡単のため、第一の電界効果トランジスタ2および第二の電界効果トランジスタ3は同一とし、また、第一のインダクタ6および第二のインダクタ7も同一とした場合について示している。図8、図9は動作を

説明するための等価回路図であり、まず、第一の入出力端子1から低電力のマイクロ波が入射して第二の入出力端子4へ伝搬していく場合を考える。この場合の等価回路図を図8に示す。このとき、第一の電界効果トランジスタ2のゲートを接地電位の0Vにする。同時に、第二の電界効果トランジスタ3のゲートにはピンチオフ電圧 $V_p$ より低い負のバイアス電圧 $V_{bias}$ を印加する。このバイアス状態で、第一の電界効果トランジスタ2のドレイン・ソース間は低インピーダンスとなり、等価的にR1で示した抵抗で表される。一方、第二の電界効果トランジスタ3のドレイン・ソース間は比較的に高インピーダンスとなり、等価的にC1で示したキャパシタで表される。所用周波数においてキャパシタC1と第二のインダクタ7とが並列共振するようにしてそれぞれの素子を選べば、この並列共振回路はC1単独の場合よりいっそうの高インピーダンスを呈して電波を遮断する。したがって、第一の入出力端子1から入射したマイクロ波は第一の電界効果トランジスタ2を通過し、第二の入出力端子4へ現れる。

【0004】 について、第一の電界効果トランジスタ2と第二の電界効果トランジスタ3のゲートに加えられるバイアス電圧を逆にすると、等価回路は図9で表される。各電界効果トランジスタはそれぞれ上記の図8に示した場合と逆のインピーダンスを呈するので、第一の入出力端子1から入射したマイクロ波が、第三の入出力端子5へ現れる。すなわち、第一の電界効果トランジスタ2と第二の電界効果トランジスタ3のゲートバイアス電圧を0V、 $V_{bias}$ とし、交互に切り換えることにより、マイクロ波の経路を切り換えるスイッチとして動作する。

【0005】 次に、大電力レベルのマイクロ波が第一の入出力端子1へ入射する場合を考える。このとき、一方の電界効果トランジスタは低インピーダンス、他方の電界効果トランジスタは高インピーダンスを呈するから、高インピーダンスとなる電界効果トランジスタのドレイン・ソース電極間には大電圧が加わる。この結果、加わる電圧がゲートのブレイクダウン電圧以上となった場合に、電界効果トランジスタが破損するという問題が生じる。例えば、各入出力端子の特性インピーダンスを50Ω、 $V_{bias}$ を-5V、入力電力を3Wとすると、ゲート・ソース電極間に加わる電圧は最大13.5Vとなる。この電圧は、ゲートバイアス電圧0V状態におけるドレイン・ソース電極間の抵抗R1を小さくし低損失なスイッチを得ようとする電界効果トランジスタにおいては、容易に実現できる値ではない。

## 【0006】

【発明が解決しようとする課題】 従来の半導体スイッチは以上のように構成されているので、低損失でかつ数W程度の高耐電力性能を得ようとする、低抵抗で耐電力の高い電界効果トランジスタが必要となるが、このよう

な電界効果トランジスタが容易に得られないため、低損失かつ高耐電力の半導体スイッチの実現が困難であった。

【0007】この発明は上記のような問題点を解決するためになされたもので、低損失かつ高耐電力の半導体スイッチを得ることを目的とする。

【0008】

【課題を解決するための手段】上記目的を達成するために、この発明に係る半導体スイッチは、第一のハイブリッド回路と、上記第一のハイブリッド回路の一方の一对の入出力端子のそれぞれに入力端が接続され、ゲート電極以外の電極を接地した電界効果トランジスタとインダクタから成り、上記電界効果トランジスタのゲート電極にバイアス電圧を印加するバイアス手段を備え、上記電界効果トランジスタのドレイン・ソース電極間を低インピーダンスとするバイアス状態で上記一对の入出力端子をそれぞれ接地状態とし、上記電界効果トランジスタのドレイン・ソース電極間を高インピーダンスとするバイアス状態で使用周波数を通過させるフィルタを形成するよう構成した第一の回路および第二の回路と、一方の一对の入出力端子がそれぞれ上記第一の回路の出力端と第二の回路の出力端に接続された第二のハイブリッド回路とを備えたものである。

【0009】

【作用】上記のように構成された半導体スイッチにおいては、第一のハイブリッド回路より低電力レベルの電気信号が入力された場合、第一のハイブリッド回路と第二のハイブリッド回路の間に設けた第一の回路および第二の回路の電界効果トランジスタのドレイン・ソース電極間を高インピーダンスとするバイアス状態とすると、電界効果トランジスタが等価的に呈するキャパシタとインダクタとで、使用周波数を通過させるフィルタを形成するよう構成しているので、電気信号は第二のハイブリッド回路側に通過して出力され、第一のハイブリッド回路側には現れない。次に、数Wの高電力の電気信号が同様にして第一のハイブリッド回路より入力された場合は、上記の電界効果トランジスタのドレイン・ソース電極間を低インピーダンスとするバイアス状態で第一のハイブリッド回路の一方の一对の入出力端子をそれぞれ接地状態とすると、電界効果トランジスタに印加されるRF電圧が低く、電界効果トランジスタの耐圧が小さくとも数Wの電力を扱うことができる。この場合には、入力された電気信号は第一のハイブリッド回路側に反射されて出力され、第二のハイブリッド回路側には現れない。

【0010】

【実施例】実施例1

図1はこの発明の一実施例を示す回路構成図である。結合線路形90度ハイブリッド等の第一のハイブリッド回路8と第二のハイブリッド回路9とを用い、第一のハイブリッド回路8の第一の入出力端子10が第三のインダ

クタ11を介して、第二のハイブリッド回路9の第一の入出力端子12に接続されている。第三のインダクタ11の両端には、ソースを接地した第三の電界効果トランジスタ13、第四の電界効果トランジスタ14のドレインが接続されている。一方、同様にして、第一のハイブリッド回路8の第二の入出力端子15が第四のインダクタ16を介して、第二のハイブリッド回路9の第二の入出力端子17に接続されている。第四のインダクタ16の両端には、ソースを接地した第五の電界効果トランジスタ18、第六の電界効果トランジスタ19のドレインが接続されている。また、第二のハイブリッド回路9の第三の入出力端子20には、一端を接地された終端抵抗21が接続されている。さらに、上記4個の電界効果トランジスタのゲートにはバイアス回路(図示せず)を介してバイアスを印加する構成である。

【0011】次に動作について説明する。図2、図3は動作を説明するための等価回路図である。ここでは、簡単のため、第三、第四、第五、第六の4つの電界効果トランジスタ13、14、18、19はすべて同一とし、また、第三、第四のインダクタ11、16も同一としている。従来例における電界効果トランジスタの動作の説明と同様に、電界効果トランジスタのゲートに印加するバイアス電圧を0Vとピンチオフ電圧とに切り替えることにより、電界効果トランジスタのドレイン、ソース間を抵抗とキャパシタとに切り替えることができる。ここでは、この抵抗、キャパシタをそれぞれ $R_a$ 、 $C_a$ と表している。以下に述べる動作説明では、まず、低電力のマイクロ波が入力される場合について説明し、ついで、数W程度の比較的電力レベルの高いマイクロ波が入力される場合について説明する。

【0012】図2は低電力のマイクロ波が入力される場合の動作を説明するための等価回路図である。電界効果トランジスタのゲートにはピンチオフ電圧を印加して、ドレイン、ソース間を等価的にキャパシタ $C_a$ としている。このキャパシタ $C_a$ および第三のインダクタ11、第四のインダクタ16により、所要周波数を通過帯域とする $\pi$ 形の低域通過形フィルタがそれぞれ構成されている。第一のハイブリッド回路8の第三の入出力端子22より入射したマイクロ波は、第一のハイブリッド回路8の第一の入出力端子10および第二の入出力端子15に現れる。第一のハイブリッド回路8の第一の入出力端子10に現れたマイクロ波は、等価的なキャパシタ $C_a$ を呈する第三の電界効果トランジスタ13、第四の電界効果トランジスタ14と第三のインダクタ11を通過して第二のハイブリッド回路9の第一の入出力端子12に入力される。一方、同様にして、第一のハイブリッド回路8の第二の入出力端子15に現れたマイクロ波は、等価的なキャパシタ $C_a$ を呈する第五の電界効果トランジスタ18、第六の電界効果トランジスタ19と第四のインダクタ16を通過して第二のハイブリッド回路9の第二

の入出力端子17に入力される。このようにして第二のハイブリッド回路9に入射した上記2つのマイクロ波は、合成されて第二のハイブリッド回路9の第四の入出力端子23に出力として現れる。この場合に、各電界効果トランジスタは比較的高インピーダンスを呈する状態となっているが、電力レベルが低いことから、ゲートにブレークダウン電圧以上の電圧が加わることがなく、電界効果トランジスタが破損する問題はない。また、等価的なキャパシタC<sub>a</sub>を低域通過形フィルタの一部として使用するため、広帯域に電波を伝送することができる。なお、第二のハイブリッド回路9に入射した上記2つのマイクロ波のアンバランス成分は、第二のハイブリッド回路9の第三の入出力端子20に現れて終端抵抗21で吸収される。

【0013】図3は高電力のマイクロ波が入力される場合の動作を説明するための等価回路図である。電界効果トランジスタのゲートに印加する電圧を0Vとして、ドレイン、ソース間を等価的に抵抗R<sub>a</sub>としている。抵抗R<sub>a</sub>の抵抗値は数Ω以下にでき、スイッチの電源インピーダンス、負荷インピーダンスとして通常選ばれる50Ωに比べて小さくできる。低電力のマイクロ波が入力される場合と同じく第一のハイブリッド回路8の第三の入出力端子22より入力されたマイクロ波は、第一のハイブリッド回路8の第一の入出力端子10および第二の入出力端子15に現れる。ここで、この第一のハイブリッド回路8の第一の入出力端子10および第二の入出力端子15は、抵抗R<sub>a</sub>を呈する第三の電界効果トランジスタ13、第五の電界効果トランジスタ18によりそれぞれほぼ短絡とされている。このため、上記の第一のハイブリッド回路8の第一の入出力端子10および第二の入出力端子15に現れた2つのマイクロ波は、反射され、合成されて第一のハイブリッド回路8の第四の入出力端子24に出力として現れる。この際、第一のハイブリッド回路8と第二のハイブリッド回路9との間は、それぞれ2つの低抵抗の抵抗R<sub>a</sub>によって二重に遮断されているため、第二のハイブリッド回路9の第三の入出力端子20および第四の入出力端子23にはマイクロ波が現れない。

#### 【0014】実施例2

図4に、この発明による半導体スイッチを送受切換スイッチとして使用した例を示す。電界効果トランジスタ13、14、18、19への印加バイアスを0Vとした状態において、送信機25からの出力は高出力増幅器26で増幅されてアンテナ27より送信される。一方、電界効果トランジスタ13、14、18、19への印加バイアスをピンチオフ電圧とした状態において、アンテナ27よりの受信波が低雑音増幅器28で増幅されて受信機29で受信される。このような構成および動作の結果、送信時に第二のハイブリッド回路9の第一の入出力端子12および第二の入出力端子17に漏洩してきた電波の

合成出力は、第二のハイブリッド回路9の第四の入出力端子23には現れず、第二のハイブリッド回路9の第三の入出力端子20に現れて終端抵抗21で吸収される。

したがって、この発明によるスイッチを用いたこの構成によれば、電力の大きい送信波が低雑音増幅器28に入射することによる低雑音増幅器28の損傷や不要波の発生あるいは受信機29の飽和等の問題が解消できる。同時に、従来この様な用途のために用いられていたリミッタ回路等が不要となる。

#### 10 【0015】実施例3

なお、上記実施例では、 $\pi$ 形の低域通過形フィルタが構成される場合について述べたが、この発明はこれに限らず、図5に示すように、第七、第八の電界効果トランジスタ30、31および第五、第六、第七、第八のインダクタ32、33、34、35を用い、T形の低域通過形フィルタを構成するようにしても良い。この構成により、少ない電界効果トランジスタでスイッチを構成できる利点がある。さらに、第一の回路として $\pi$ 形の低域通過形フィルタ、第二の回路としてT形の低域通過形フィルタを用いるなど、混成で構成しても良い。また、上記実施例では、低域通過形フィルタが構成される場合について述べたが、この発明はこれに限らず、使用周波数を通過させる高域通過形フィルタ、帯域通過形フィルタで構成しても良い。

#### 【0016】実施例4

なお、上記実施例では、使用周波数を通過させるフィルタがそれぞれインダクタ、電界効果トランジスタあわせて3つの素子で構成される場合について述べた。しかし、この発明はこれに限らず、図6に示すように、第九、第十、第十一、第十二、第十三、第十四、第十五、第十六の電界効果トランジスタ36、37、38、39、40、41、42、43、および第九、第十、第十一、第十二、第十三、第十四のインダクタ44、45、46、47、48、49を用い、多段の低域通過形フィルタを構成するようにしても良い。この構成により、いっそうの広帯域化が可能である。また、第九、第十三の電界効果トランジスタ36、40として、印加バイアス0Vにおける抵抗値の非常に小さいものを使用し、かつ、低域通過形フィルタの特性インピーダンスが第一のハイブリッド回路8側から第二のハイブリッド回路9側に向かって段階的に大きくなるようにして各電界効果トランジスタおよびインダクタを選ぶことにより、低電力のマイクロ波入射時の損失をほとんど変化させることなく、大電力のマイクロ波入射時の損失を非常に小さくすることができる。

#### 【0017】

【発明の効果】以上のようにこの発明によれば、低損失かつ高耐電力の半導体スイッチを得られる効果がある。

#### 【図面の簡単な説明】

50 【図1】この発明の実施例1の回路構成図である。

7

【図2】この発明の実施例1の動作説明のための等価回路図である。

【図3】この発明の実施例1の動作説明のための等価回路図である。

【図4】この発明の実施例2の送受切換スイッチの回路構成図である。

【図5】この発明の実施例3の回路構成図である。

【図6】この発明の実施例4の回路構成図である。

【図7】従来の半導体スイッチの回路構成図である。

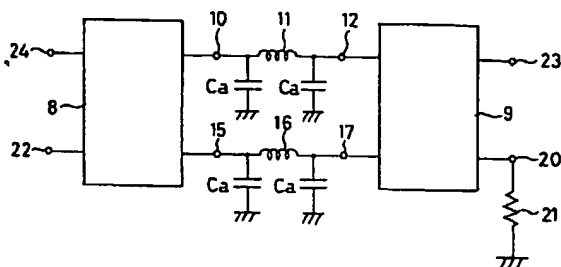
【図8】従来の半導体スイッチの動作説明のための等価回路図である。

【図9】従来の半導体スイッチの動作説明のための等価回路図である。

【符号の説明】

- 1 第一の入出力端子
- 2 第一の電界効果トランジスタ
- 3 第二の電界効果トランジスタ
- 4 第二の入出力端子
- 5 第三の入出力端子
- 6 第一のインダクタ
- 7 第二のインダクタ
- 8 第一のハイブリッド回路
- 9 第二のハイブリッド回路
- 10 第一のハイブリッド回路の第一の入出力端子
- 11 第三のインダクタ
- 12 第二のハイブリッド回路の第一の入出力端子
- 13 第三の電界効果トランジスタ
- 14 第四の電界効果トランジスタ
- 15 第一のハイブリッド回路の第二の入出力端子
- 16 第四のインダクタ
- 17 第二のハイブリッド回路の第二の入出力端子
- 18 第五の電界効果トランジスタ

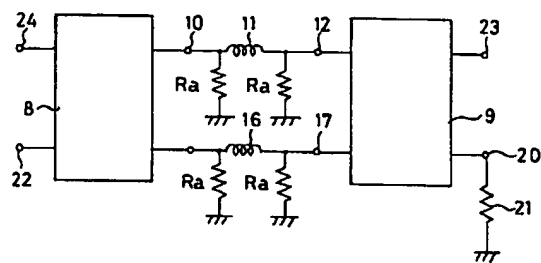
【図2】



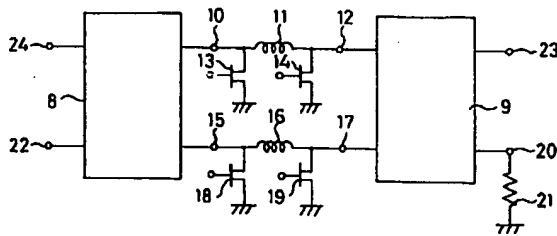
8

- 19 第六の電界効果トランジスタ
- 20 第二のハイブリッド回路の第三の入出力端子
- 21 終端抵抗
- 22 第一のハイブリッド回路の第三の入出力端子
- 23 第二のハイブリッド回路の第四の入出力端子
- 24 第一のハイブリッド回路の第四の入出力端子
- 25 送信機
- 26 高出力増幅器
- 27 アンテナ
- 28 低雑音増幅器
- 29 受信機
- 30 第七の電界効果トランジスタ
- 31 第八の電界効果トランジスタ
- 32 第五のインダクタ
- 33 第六のインダクタ
- 34 第七のインダクタ
- 35 第八のインダクタ
- 36 第九の電界効果トランジスタ
- 37 第十の電界効果トランジスタ
- 38 第十一の電界効果トランジスタ
- 39 第十二の電界効果トランジスタ
- 40 第十三の電界効果トランジスタ
- 41 第十四の電界効果トランジスタ
- 42 第十五の電界効果トランジスタ
- 43 第十六の電界効果トランジスタ
- 44 第九のインダクタ
- 45 第十のインダクタ
- 46 第十一のインダクタ
- 47 第十二のインダクタ
- 48 第十三のインダクタ
- 49 第十四のインダクタ

【図3】

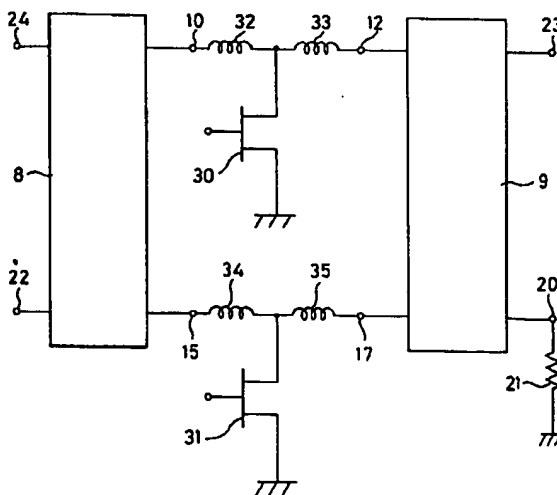


【図1】



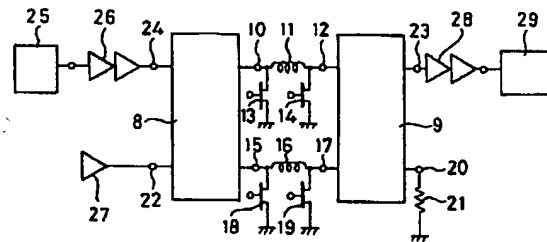
- 8 第一のハイブリッド回路
- 9 第二のハイブリッド回路
- 10 第一のハイブリッド回路の第一の入出力端子
- 11 第三のインダクタ
- 12 第二のハイブリッド回路の第一の入出力端子
- 13 第三の電界効果トランジスタ
- 14 第四の電界効果トランジスタ
- 15 第一のハイブリッド回路の第二の入出力端子
- 16 第四のインダクタ
- 17 第二のハイブリッド回路の第二の入出力端子
- 18 第五の電界効果トランジスタ
- 19 第六の電界効果トランジスタ
- 20 第二のハイブリッド回路の第三の入出力端子
- 21 終端抵抗
- 22 第一のハイブリッド回路の第三の入出力端子
- 23 第二のハイブリッド回路の第四の入出力端子
- 24 第一のハイブリッド回路の第四の入出力端子

【図5】



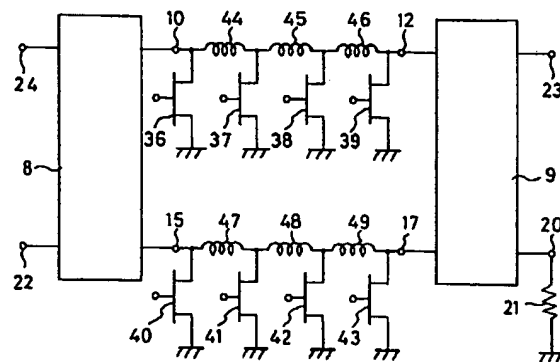
- 30 第七の電界効果トランジスタ
- 31 第八の電界効果トランジスタ
- 32 第五のインダクタ
- 33 第六のインダクタ
- 34 第七のインダクタ
- 35 第八のインダクタ

【図4】



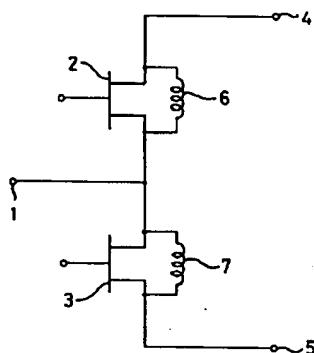
- 25 送信機
- 26 高出力増幅器
- 27 アンテナ
- 28 低雑音増幅器
- 29 受信機

【図6】



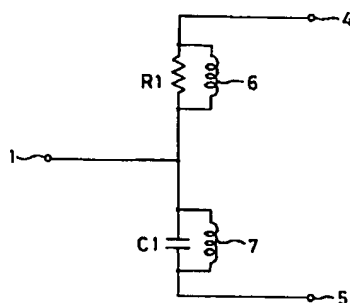
- 36 第九の電界効果トランジスタ
- 37 第十の電界効果トランジスタ
- 38 第十一の電界効果トランジスタ
- 39 第十二の電界効果トランジスタ
- 40 第十三の電界効果トランジスタ
- 41 第十四の電界効果トランジスタ
- 42 第十五の電界効果トランジスタ
- 43 第十六の電界効果トランジスタ
- 44 第九のインダクタ
- 45 第十のインダクタ
- 46 第十一のインダクタ
- 47 第十二のインダクタ
- 48 第十三のインダクタ
- 49 第十四のインダクタ

【図7】

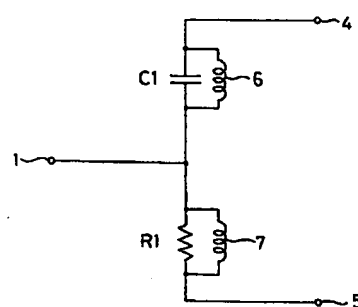


- 1 第一の入出力端子
- 2 第一の電界効果トランジスタ
- 3 第二の電界効果トランジスタ
- 4 第二の入出力端子
- 5 第三の入出力端子
- 6 第一のインダクタ
- 7 第二のインダクタ

【図8】



【図9】



## 【手続補正書】

【提出日】平成5年2月15日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0005

【補正方法】変更

## 【補正内容】

【0005】次に、大電力レベルのマイクロ波が第一の入出力端子1へ入射する場合を考える。このとき、一方の電界効果トランジスタは低インピーダンス、他方の電界効果トランジスタは高インピーダンスを呈するから、高インピーダンスとなる電界効果トランジスタのドレイン・ソース電極間には大電圧が加わる。この結果、加わる電圧がゲートのブレイクダウン電圧以上となった場合に、電界効果トランジスタが破損するという問題が生じる。例えば、各入出力端子の特性インピーダンスを50Ω、Vbiasを-5V、入力電力を3Wとすると、ゲート・ソース電極間に加わる電圧は最大13.5Vとなる。この電圧以上のブレイクダウン電圧は、ゲートバイアス電圧0V状態におけるドレイン・ソース電極間の抵抗R1を小さくし低損失なスイッチを得ようとする電界効果トランジスタにおいては、容易に実現できる値ではない。

ン・ソース電極間には大電圧が加わる。この結果、加わる電圧がゲートのブレイクダウン電圧以上となった場合に、電界効果トランジスタが破損するという問題が生じる。例えば、各入出力端子の特性インピーダンスを50Ω、Vbiasを-5V、入力電力を3Wとすると、ゲート・ソース電極間に加わる電圧は最大13.5Vとなる。この電圧以上のブレイクダウン電圧は、ゲートバイアス電圧0V状態におけるドレイン・ソース電極間の抵抗R1を小さくし低損失なスイッチを得ようとする電界効果トランジスタにおいては、容易に実現できる値ではない。

フロントページの続き

(72)発明者 伊藤 康之

鎌倉市大船五丁目1番1号 三菱電機株式会社  
電子システム研究所内

(72)発明者 武田 文雄

鎌倉市大船五丁目1番1号 三菱電機株式会社  
電子システム研究所内